



Límites impuestos por los elementos pasivos en el diseño de amplificadores de bajo ruido en tecnología CMOS

Jorge Luís González Ríos, Robson Luiz Moreno, Diego Vázquez

RESUMEN / ABSTRACT

En este trabajo se analizan las restricciones impuestas por los límites tecnológicos de los elementos pasivos en el diseño de un amplificador de bajo ruido (LNA) integrado en tecnología CMOS, de configuración fuente común con degeneración inductiva. A partir del análisis del circuito se establecieron dependencias cualitativas entre los valores de los elementos pasivos y los objetivos de síntesis del LNA (ganancia, corriente de polarización y ancho de los transistores), que permiten prever cómo los parámetros constructivos limitan el desempeño funcional. Estas dependencias fueron comprobadas y enriquecidas a través de simulaciones, realizadas para una tecnología CMOS de 130 nm con 1.2 V de alimentación y una frecuencia de trabajo de 2.45 GHz. Para la topología estudiada, se muestra que la ganancia máxima, la corriente de polarización mínima (y, por tanto, el consumo de potencia mínimo) y las dimensiones de los transistores que pueden ser utilizados en el diseño están determinadas por los valores extremos de inductancia y capacidad disponibles en el proceso tecnológico. Los resultados obtenidos corroboran la necesidad de incluir toda la información tecnológica posible de los elementos pasivos dentro del flujo de diseño de circuitos integrados para aplicaciones de radiofrecuencia.

Palabras claves: amplificador de bajo ruido (LNA), CMOS, circuito integrado, bajo consumo, elementos pasivos, radiofrecuencia (RF)

This paper analyses the impact of technological limits of passive elements on integrated CMOS Low-Noise Amplifiers (LNAs) design. The topology under study is the commonly used inductively degenerated common-source LNA. An equation-based analysis is presented, which is verified and complemented by means of simulation. Simulations were carried out using a 130-nm 1.2-V CMOS technology, working at 2.4 GHz. We obtained that inductance and capacitance values available in the technological process constraint the achievable maximum gain, minimum power consumption and transistor sizing. Results also show that designers must include as much information as possible about passive elements into the design procedure of radiofrequency integrated circuits.

Key words: low-noise amplifier (LNA), CMOS, integrated circuit, low power, passive elements, radio frequency

Constraints imposed by passive elements in the design of CMOS low-noise amplifiers

INTRODUCCIÓN

En 1958, Jack Kilby demostró que era posible fabricar en una misma pieza de semiconductor los distintos componentes de un circuito, tanto los transistores como los elementos pasivos, dando origen al circuito integrado ¹. Sobre la base de este hito, los avances que se sucedieron en la microelectrónica potenciaron el desarrollo vertiginoso de las tecnologías de las comunicaciones, la informática y las ciencias de la computación, imprescindibles en la sociedad moderna.

El mercado de fabricación de los circuitos integrados está ampliamente dominado por la tecnología CMOS, debido a que, entre otros factores, es la que presenta el menor costo de producción ². La continua miniaturización de los transistores MOS ha permitido, además, aumentar la capacidad y velocidad de procesamiento de la información, con una disminución simultánea del consumo de potencia ³.

Esto ha beneficiado las prestaciones tanto de los circuitos digitales como las de los analógicos, incluyendo los de radiofrecuencia (RF) ⁴. La utilización de las actuales tecnologías CMOS submicrométricas permiten, por ejemplo, la integración en un mismo chip de circuitos de comunicación completos (desde los bloques de RF hasta el procesamiento digital en banda base) para la comunicación inalámbrica con frecuencias en el orden de los gigahertz (GHz) ^{5, 6}. Sin embargo, y aun cuando los elementos pasivos estuvieron presentes desde la concepción de los circuitos integrados, la complejidad que presenta la fabricación y modelación de los mismos (principalmente de los inductores) es una de las causas que dificultan el diseño microelectrónico de RF ⁷.

En los circuitos de comunicación integrados, el diseño de los bloques de RF constituye la dificultad fundamental para la implementación del sistema ⁸. En el caso particular de los receptores de RF, el rendimiento del amplificador de bajo ruido (LNA) es determinante en el desempeño del sistema como un todo ^{8, 9}. Con el LNA se debe garantizar el mínimo nivel de señal detectable (sensibilidad), a través de un valor suficientemente alto de ganancia y una baja contribución de ruido ⁸⁻¹⁰. Simultáneamente, el LNA también debe ofrecer un valor adecuado de su impedancia de entrada (que garantice el acoplamiento de impedancias respecto a la salida de la etapa precedente, típicamente un filtro selector de banda con impedancia de salida de 50 Ω), un valor suficientemente alto de linealidad (caracterizada típicamente mediante el punto de intercepción de intermodulación de tercer orden, IP_3 ⁸) y un alto aislamiento inverso ¹⁰.

El LNA de configuración fuente común (CS-LNA) con degeneración inductiva (Fig. 1) es una topología ampliamente utilizada en los receptores CMOS integrados para comunicaciones inalámbricas de corto alcance (tales como WiFi, Bluetooth, y Zigbee) ⁹⁻¹¹. En el diseño de un CS-LNA con ganancia y consumo de potencia determinados, los transistores pueden dimensionarse para minimizar la figura de ruido (NF), como ha sido demostrado en trabajos previos sobre esta topología ¹²⁻¹⁴. En el CS-LNA puede obtenerse alta linealidad con bajo consumo aprovechando un pico del IP_3 que aparece en los transistores MOS polarizados en inversión moderada ¹⁵. Este pico del IP_3 ocurre aproximadamente para un mismo valor de la densidad de corriente en el transistor de fuente común ^{16, 17}, por lo que para un consumo determinado la linealidad pudiera maximizarse también a través del dimensionado apropiado de los transistores.

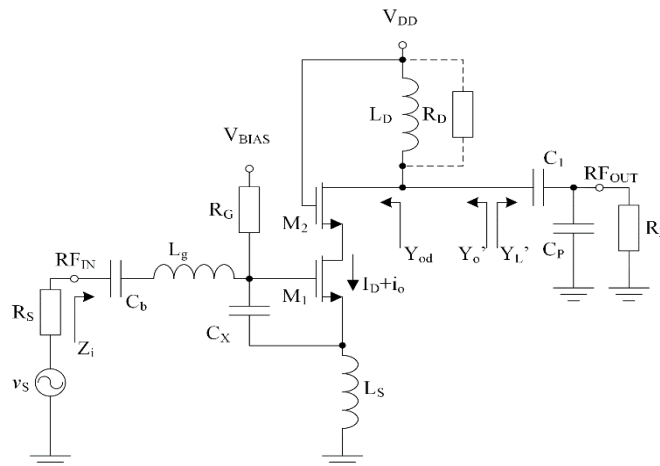


Fig. 1. LNA CMOS de fuente común con degeneración inductiva.

Según las consideraciones expuestas en el párrafo anterior, para balancear adecuadamente el ruido, la linealidad y el consumo de potencia del LNA se propone realizar una exploración del espacio de diseño, consistente en el barrido del ancho de M_1 (W_1) con distintos valores de la corriente de polarización (I_D) ¹⁸. Para cada combinación de corriente y ancho de los transistores es necesario buscar las dimensiones de los elementos pasivos que garantizan los requerimientos de ganancia y acoplamiento de impedancias (síntesis del LNA), para luego obtener la figura de ruido y el IP_3 de cada LNA sintetizado. El conjunto de resultados obtenidos para diferentes LNA conforman el espacio de diseño del cual se podrá escoger el circuito que será implementado. Sin embargo, la selección de los elementos pasivos en la síntesis de cada LNA están limitadas por las características tecnológicas de cada proceso de fabricación, por tanto, estos límites impondrán restricciones adicionales al diseño. Este es un aspecto sobre el cual no se han encontrado referencias en la revisión bibliográfica realizada.

En este artículo se presenta un análisis de las restricciones impuestas por los límites tecnológicos de los elementos pasivos en el diseño de un LNA CMOS, de configuración fuente común con degeneración inductiva.

Primeramente se obtienen, a partir del análisis del circuito, dependencias cualitativas entre los valores de los elementos pasivos y los objetivos de síntesis del LNA (ganancia, corriente de polarización y ancho de los transistores), que permiten prever cómo los parámetros constructivos limitan el desempeño funcional del amplificador.

Estas dependencias fueron posteriormente comprobadas y enriquecidas a través de simulaciones, realizadas para una tecnología CMOS de 130 nm con 1.2 V de alimentación y una frecuencia de trabajo de 2.45 GHz. Para la topología estudiada, se muestra cómo la ganancia máxima, la corriente de polarización mínima (y, por tanto, el consumo de potencia mínimo) y las dimensiones de los transistores utilizados en el diseño pueden estar determinadas por los valores extremos de inductancia y capacidad disponibles en el proceso tecnológico.

ANÁLISIS TEÓRICO DE LOS LÍMITES IMPUESTOS POR LOS ELEMENTOS PASIVOS EN LA SÍNTESIS DEL LNA

DESCRIPCIÓN Y ANÁLISIS DEL LNA DE FUENTE COMÚN CON DEGENERACIÓN INDUCTIVA

La Fig. 1 muestra el esquema básico de un CS-LNA con degeneración inductiva. La degeneración inductiva (a través de L_S) produce una componente resistiva en la impedancia de entrada sin introducir una fuente de ruido extra¹⁹. El capacitor C_X permite minimizar la figura de ruido para valores específicos de ganancia y consumo¹³. El inductor de compuerta, L_g , se incluye para sintonizar la impedancia de entrada. El transistor M_2 se utiliza como etapa cascode, para disminuir el efecto Miller sobre el transistor M_1 y mejorar el aislamiento inverso⁹. El inductor L_D forma una red resonante paralela con las capacidades de salida de la etapa cascode y de la impedancia vista hacia la carga. El divisor capacitivo (C_I , C_P) se incluye para acoplar la impedancia de salida a los 50 Ω del analizador de espectro, que se utilizará en la caracterización experimental del LNA como circuito independiente. El resistor de polarización de compuerta (R_G) y el capacitor de bloqueo de la componente de directa en la entrada (C_b) deben presentar impedancias suficientemente alta y baja, respectivamente, para que sus efectos sean despreciables bajo las condiciones normales de operación. Por su parte, la tensión de polarización de compuerta de M_1 (V_{BIAS}) puede ser obtenido a partir de V_{DD} mediante un espejo de corriente o algún otro circuito que proporcione una referencia de tensión²⁰.

La ganancia de potencia disponible del LNA (G) puede expresarse mediante (1) en función de la transconductancia de la etapa de entrada ($G_m=I_o/V_{sI}$), la resistencia de fuente (R_S) y la conductancia de la etapa de salida [$G_o'=Re(Y_o')$]. Para obtener esta expresión se ha considerado que existe acoplamiento de impedancias en ambos puertos y se han despreciado las pérdidas en los capacitores de la red de acoplamiento de salida. En (1), V_s e I_o son valores efectivos.

$$G = \frac{P_o}{P_i} = \frac{I_o^2}{4G_o'} \frac{4R_S}{V_s^2} = G_m^2 \frac{R_S}{G_o'} \quad (1)$$

La conductancia de la etapa de salida es el paralelo de la conductancia de salida de la etapa cascode [$Re(Y_{od})$] y la resistencia parásita paralela del inductor de drenaje ($R_D=\omega_0 L_D Q_D$), siendo ω_0 la frecuencia de trabajo y Q_D el factor de calidad de L_D :

$$G_o' = Re(Y_{od}) + 1/(\omega_0 L_D Q_D) \quad (2)$$

Mediante el análisis de pequeña señal con modelos simplificados (considerando en M_1 solo la capacidad compuerta-fuente, C_{gs} , y el efecto transistor, $i_o=g_m v_{gs}$, tomando L_S , L_g y C_X como ideales y despreciando el efecto de carga de la etapa cascode sobre la etapa de entrada), la transconductancia con acoplamiento de impedancias en la entrada puede expresarse como⁹:

$$G_m = 1/(2\omega_0 L_S) \quad (3)$$

Puede observarse en las expresiones anteriores que la ganancia del LNA depende tanto de las características del inductor de drenaje (L_D) como de las del inductor de degeneración (L_S); en el primero dependiendo del producto de su inductancia y su factor de calidad, mientras que en el segundo solo de su inductancia.

Por otra parte, en la selección del inductor de drenaje también es necesario tener en cuenta la respuesta en frecuencia de la impedancia de salida. Si se desea ampliar el intervalo de frecuencias para el cual la impedancia de salida tenga un valor adecuado se debe disminuir el factor de calidad de la red resonante, por lo que se debe escoger un valor bajo de Q_D . Para mantener el mismo aporte de la red de salida a la ganancia, cuando se disminuye Q_D debe aumentarse L_D en la misma proporción. Sin embargo, el valor máximo de la inductancia está restringido tanto por los límites tecnológicos específicos de los inductores (que incluye la dependencia entre los posibles valores del factor de calidad con el valor de la inductancia²¹) como por la capacidad mínima en la red resonante de salida¹⁰. Debido a los compromisos y restricciones presentes en la selección del inductor de drenaje se propone que sean fijadas primero las características del mismo para luego seleccionar el resto de los elementos pasivos.

Del análisis de pequeña señal simplificado se obtiene un grupo de ecuaciones que permite establecer un orden lógico para determinar los elementos pasivos de la etapa de entrada. Este orden se muestra en forma de diagrama de flujo en la Fig. 2, incluyendo las dependencias con las dimensiones y polarización de los transistores ²⁰, donde $C_T = C_X + C_{gs}$ es la capacidad equivalente total entre la compuerta y la fuente de M_1 .

A causa de las simplificaciones realizadas en los modelos, estas expresiones no proveen la exactitud adecuada para calcular los valores de los elementos pasivos que serán utilizados en el diseño final, sin embargo, pueden utilizarse para prever las restricciones impuestas por los límites tecnológicos. A continuación se analizará cómo las variaciones de cada uno de los objetivos de síntesis del LNA (ganancia, corriente de polarización y ancho de los transistores) inciden sobre los valores de los elementos pasivos requeridos para garantizar la ganancia y el acoplamiento de impedancias.

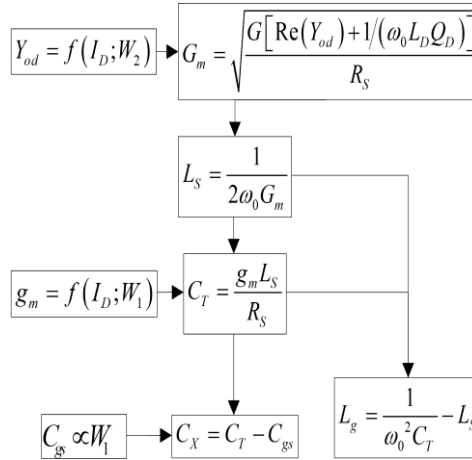


Fig. 2.

Fig. 3. Dependencia de los elementos pasivos de la etapa de transconductancia con la ganancia del LNA y las dimensiones y polarización de los transistores, según el análisis con modelos simplificados.

COMPORTAMIENTO DE LOS ELEMENTOS PASIVOS EN FUNCIÓN DE LOS OBJETIVOS DE SÍNTESIS

Aumento del aporte de la etapa de transconductancia a la ganancia, manteniendo constantes la corriente de polarización y el ancho de los transistores

El aporte fundamental a la ganancia del LNA debe garantizarlo la etapa de entrada, mediante un valor suficientemente alto de G_m , para reducir la figura de ruido ^{9, 10}. Según las expresiones mostradas en la Fig. 2, para aumentar G_m hay que disminuir el valor de L_S , lo que a su vez implica una reducción de C_T para mantener fija la resistencia de entrada (teniendo en cuenta que la transconductancia del transistor, g_m , no varía para W_1 e I_D constantes). Tanto la disminución de L_S como la de C_T requieren un aumento de L_g para no alterar la frecuencia de resonancia. A su vez, para dimensiones fijas de M_1 (C_{gs} constante) la disminución de C_T es obtenida utilizando un menor valor de C_X . Por tanto, el valor máximo de G_m puede estar limitado por los valores mínimos de L_S (L_{Smin}), de C_X (C_{Xmin}) o el valor máximo de L_g (L_{gmax}).

Disminución de la corriente de polarización, manteniendo constantes la ganancia y el ancho de los transistores

Para disminuir el consumo de potencia del circuito, con una tensión de alimentación constante, es necesario reducir el valor de la corriente I_D . La variación de I_D afecta la conductancia de salida de M_2 ²⁰, sin embargo, si dicha conductancia es despreciable frente a la del inductor de drenaje, la conductancia de salida del LNA permanece invariable (2). Bajo estas condiciones, el valor de G_m también debe permanecer constante si se desea mantener fija la ganancia.

Suponiendo G_m constante, según las expresiones aproximadas de la Fig. 2 el valor de L_S también debe permanecer invariable. Sin embargo, al disminuir la corriente de polarización disminuye la transconductancia de M_1 (g_m), lo que requiere una reducción del valor de C_T para mantener fija la resistencia de entrada. Al igual que en el caso anterior, esto implica el aumento de L_g y la disminución de C_X . Por tanto, el valor mínimo de I_D puede estar limitado por los valores mínimo de C_X (C_{Xmin}) o máximo de L_g (L_{gmax}).

Límites en el ancho de los transistores, manteniendo constantes la ganancia y la corriente de polarización

En la metodología de diseño seguida para el LNA debe realizarse un barrido del ancho de los transistores para valores fijos de ganancia y corriente de polarización. Para analizar los efectos de las variaciones del ancho de los transistores se ha supuesto nuevamente G_m constante (por tanto, L_S constante). Al disminuir el ancho de M_1 (W_1), con corriente constante, disminuye su transconductancia (g_m)²⁰, lo que requiere la reducción del valor de C_T . Esto último, como ya fue analizado, provoca el aumento de L_g . Por tanto, el valor mínimo de W_1 puede estar limitado por $L_{gmáx}$. De forma contraria, el aumento del ancho de los transistores implicaría la disminución de L_g , aunque este efecto no debe representar una limitación práctica ya que implicaría el uso de transistores muy anchos, que no son habituales en aplicaciones de bajo consumo.

El análisis de la dependencia de C_X con el ancho de los transistores es un poco más complejo. Cuando aumenta el ancho de M_1 no solo aumenta C_T , relacionado con g_m , sino que también aumenta la capacidad intrínseca de M_1 , C_{gs} . Por tanto, el comportamiento de C_X dependerá de la razón de cambio de C_T y C_{gs} respecto al ancho del transistor: si C_T aumenta más que C_{gs} para un mismo incremento de W_1 entonces C_X aumenta, y viceversa. La expresión (4) presenta esta doble dependencia, considerando como aproximación que la transconductancia es proporcional a la raíz cuadrada del producto corriente-ancho [$\sqrt{(I_D W_1)}$] y que la capacidad compuerta-fuente es proporcional al ancho del transistor²⁰. Tomando, como caso hipotético, que ambas constantes de proporcionalidad tengan valor unitario, en la Fig. 4 se ha graficado la dependencia de C_X con el ancho del transistor para diferentes valores de la corriente de polarización.

$$C_X = C_T - C_{gs} = \frac{g_m L_S}{R_S} - C_{gs} = k_{g_m} \sqrt{I_D W_1} - k_{C_{gs}} W_1 \quad (4)$$

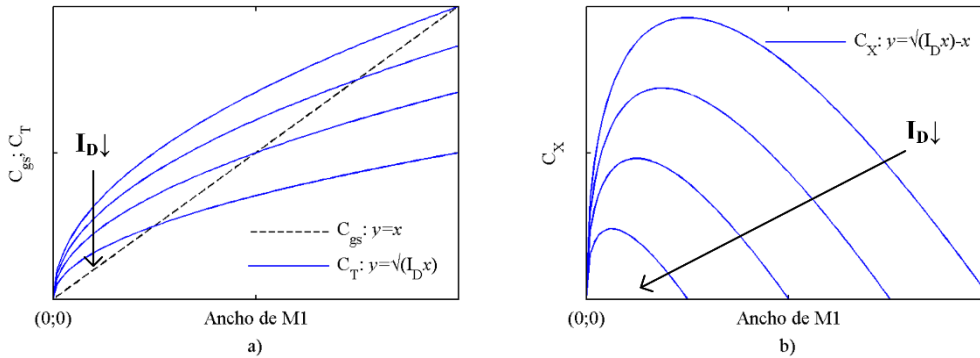


Fig. 4. Dependencia teórica simplificada de C_X con el ancho de M_1 (W_1) para diferentes valores de la corriente de polarización: a) funciones que describen el comportamiento de C_T [$y=\sqrt{(I_D x)}$] y C_{gs} ($y=x$); b) función que describe el comportamiento de C_X [$y=\sqrt{(I_D x)}-x$]. El eje y representa el valor de las capacidades mientras que el eje x representa el ancho del transistor.

En la Fig. 4b se observa que el valor máximo del ancho del transistor va a estar limitado por el valor mínimo de C_X . Además, mientras menor sea la corriente de polarización menor será el valor máximo W_1 , por lo que la disminución del consumo de potencia limita las dimensiones de los transistores que puedan ser utilizadas en la implementación del LNA. Del comportamiento esbozado en la Fig. 4b también puede inferirse la existencia un intervalo de W_1 , en el entorno del máximo de la función, donde el valor de C_X requerido sea mayor que el valor máximo de capacidad disponible en la tecnología. Sin embargo, como esto ocurre para los mayores valores de I_D , este fenómeno no debe representar una limitante práctica al diseñar para valores bajos de consumo. Por tanto, el valor máximo de W_1 puede estar limitado por $C_{Xmín}$.

Efectos secundarios no considerados en los modelos simplificados

Se ha demostrado en estudios previos sobre esta tecnología, que los efectos capacitivos del transistor M_1 no considerados hasta el momento (la capacidad compuerta-sustrato, C_{gb} , y la capacidad compuerta-drenaje, C_{gd}) provocan una reducción de la ganancia de potencia respecto a la estimada en el análisis con modelos simplificados¹⁰. Igualmente, la disminución de la corriente I_D provoca un aumento de la impedancia de entrada de la etapa cascode (que es el inverso de la transconductancia de M_2 , g_{m2} ²⁰), lo que también produce la disminución de la ganancia.

Por tanto, mientras más anchos sean los transistores (mayores capacidades parásitas) o menor sea la corriente, se requiere un mayor valor de G_m para contrarrestar la disminución de ganancia introducida por ambas condiciones.

Esto implica que la corriente mínima y el ancho máximo de los transistores estarán limitados, además, por las mismas causas que limitan el máximo de G_m , o sea, $L_{S\text{mín}}$, $C_{X\text{mín}}$ o $L_{g\text{máx}}$ (aunque, en el caso particular de L_g , el aumento de su valor como efecto secundario del aumento del ancho del transistor debe contrarrestarse con la disminución de esta inductancia prevista por el análisis con modelos simplificados para esta misma condición).

En la Tabla 1 se resume la influencia de los límites tecnológicos de los elementos pasivos sobre el diseño del LNA, según el análisis teórico realizado en esta sección. Se han incluido las consecuencias previstas a partir del análisis con modelos simplificados (efectos primarios, P) y las consideraciones realizadas sobre los efectos secundarios (S).

Tabla 1. Límites tecnológicos de los elementos pasivos y su influencia en el diseño del LNA, según el análisis con modelos simplificados (efectos primarios, P) y las consideraciones realizadas sobre los efectos secundarios (S).

	Máximo de G_m	Mínimo de I_D	Mínimo de W_I	Máximo de W_I
Mínimo de L_S	P	S	-	S
Máximo de L_g	P	P+S	P	S
Mínimo de C_X	P	P+S	-	P+S

VERIFICACIÓN MEDIANTE SIMULACIONES PARA UNA TECNOLOGÍA ESPECÍFICA Y APLICACIÓN EN EL DISEÑO

Para comprobar y complementar los análisis realizados en la sección anterior se ha realizado una exploración del espacio de diseño utilizando los modelos proporcionados por el fabricante de la tecnología disponible: CMOS de 130 nm de longitud nominal del canal de los transistores, con una capa de polisilicio y ocho capas de metal (1P8M), con 1.2 V de alimentación. En la síntesis de los LNA se tomaron como especificaciones una ganancia mínima de 10 dB y acoplamientos de impedancia en ambos puertos por debajo de -10 dB, referidos a una impedancia de 50Ω , en la banda de 2.4 a 2.5 GHz. Estos valores son requeridos para la implementación de un receptor ZigBee/IEEE 802.15.4^{22, 23}. Además, el ancho de M_2 (W_2) se estableció a $W_2=W_1/2$, para disminuir el aporte de este transistor a la capacidad de carga y así aumentar el margen de selección de la red de acoplamiento de salida¹⁰. Se tomó la misma longitud de canal para todos los transistores ($L_1=L_2=L$), analizándose dos valores distintos: el mínimo permitido por la tecnología ($L_{\text{mín}} = 120 \text{ nm}$) y el doble del mismo ($2L_{\text{mín}} = 240 \text{ nm}$).

CARACTERÍSTICAS DE LOS ELEMENTOS PASIVOS DISPONIBLES

Los capacitores de la tecnología utilizada son del tipo metal-aislante-metal (MiM, por sus siglas en inglés), mientras que los inductores están formados por espiras octogonales y tienen la posibilidad de incluirles un plano de tierra para disminuir el acoplamiento con el sustrato²⁴ (Fig. 5).

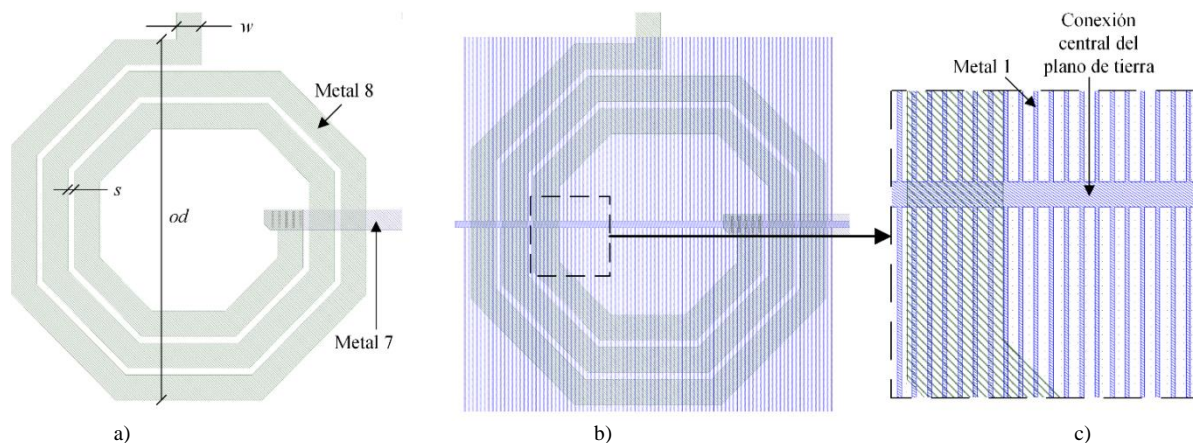


Fig. 5. Detalles constructivos de un inductor de la tecnología disponible (número de vueltas $nt = 2\frac{3}{4}$): a) parámetros constructivos de las espiras, b) inductor con plano de tierra para mitigar el acoplamiento al sustrato y c) acercamiento al plano de tierra.

Mediante simulaciones se obtuvieron los parámetros para el modelado del circuito de estos elementos a partir de sus características constructivas: para los capacitores el área de las placas paralelas (la separación entre las placas está fijada por la tecnología); para los inductores el número de vueltas, nt , el diámetro exterior, od , y el ancho de las espiras, w (la separación entre espiras, s , está fijada por la tecnología).

En el caso de los capacitores es posible obtener capacidades de hasta 5 pF con pérdidas despreciables respecto a la componente reactiva. Para los inductores, la relación entre las magnitudes de interés (inductancia, factor de calidad y resistencia parásita paralela) se encuentran graficadas en la Fig. 6.

De los posibles inductores, serán utilizados en compuerta y fuente (L_g y L_S) los de mayor factor de calidad en cada intervalo de inductancia (Fig. 6a), para disminuir su aporte a la figura de ruido^{9,10,21}. El inductor de drenaje fue seleccionado entre los de menor factor de calidad en función de la resistencia parásita paralela (Fig. 6b), tomando valores intermedios de resistencia e inductancia ($L_D=9.5$ nH; $Q_D=13$; $R_D\approx 2$ k Ω).

A partir de estos valores es posible, de ser necesario, aumentar el aporte de este inductor a la ganancia con un ancho de banda aproximadamente constante (al aumentar la resistencia por encima de 2 k Ω el valor de Q presenta pocas variaciones), o bien aumentar el ancho de banda pero sacrificando el aporte a la ganancia.

COMPORTAMIENTO DE LOS ELEMENTOS PASIVOS EN FUNCIÓN DE LOS OBJETIVOS DE SÍNTESIS EN LA TECNOLOGÍA DISPONIBLE

El estudio del comportamiento de los elementos pasivos en función de los objetivos de síntesis fue realizado en dos fases. En la primera se realizó un barrido de la corriente de polarización (I_D) y del ancho de canal del transistor M_1 (W_1), con una ganancia cercana al valor mínimo (10.5 ± 0.5 dB). En la segunda etapa se fijó la corriente y se realizó un barrido de la ganancia y de W_1 .

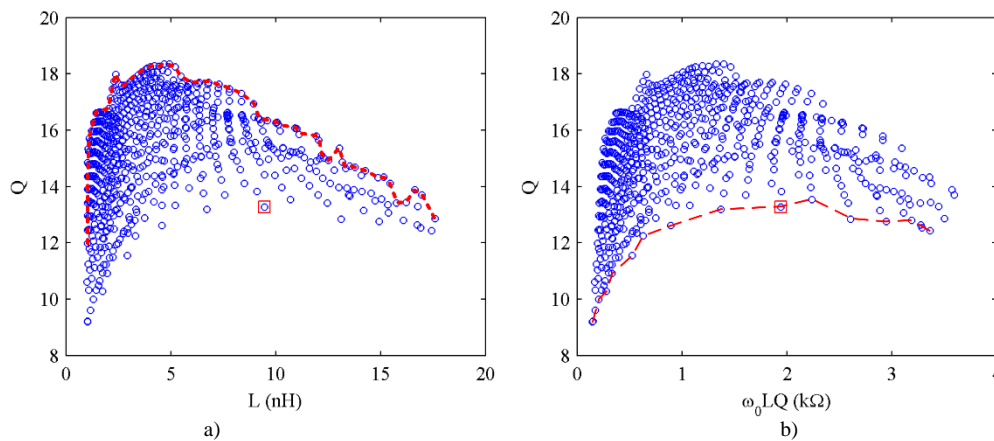


Fig. 6. Características de los inductores disponibles en la tecnología: a) Factor de calidad (Q) vs Inductancia (L), donde la línea discontinua marca los inductores de mayor Q. b) Factor de calidad (Q) vs Resistencia parásita paralela ($\omega_0 L Q$), donde la línea discontinua marca los inductores de menor Q. En ambos gráficos están señalados los valores correspondientes al inductor de drenaje, L_D (círculo dentro de un cuadrado).

Para cada combinación de ganancia, corriente y ancho de los transistores se buscaron, utilizando resultados de simulaciones, las dimensiones de los elementos pasivos que garantizan que el LNA correspondiente cumpla con los requerimientos de acoplamiento de impedancias (con un margen adicional de 5 dB) y el valor de ganancia deseado.

Variación de la corriente de polarización y del ancho de los transistores

En la Fig. 7 se muestran los valores de los elementos pasivos de los LNA sintetizados para una ganancia deseada de 10.5 ± 0.5 dB, en función del ancho del transistor M_1 y la corriente de polarización. Todos los LNA sintetizados presentan acoplamientos S_{11} , $S_{22} < -15$ dB y ganancias en el intervalo $[10.3; 10.8]$ dB.

Con los resultados mostrados en la figura se comprueban los efectos primarios y secundarios previstos en los análisis teóricos. En la medida en que disminuye la corriente de polarización es necesario disminuir la inductancia de degeneración, aumenta el valor requerido de L_g y disminuye el de C_X .

La inductancia L_S se mantiene prácticamente constante respecto al ancho de los transistores para los mayores valores de I_D . Sin embargo, mientras disminuye la corriente de polarización se hace más notable la disminución de L_S con el aumento de W_1 . Este comportamiento es más crítico en los transistores de mayor longitud de canal.

Aparece además otro fenómeno, no previsto en los análisis realizados: la disminución de L_S para valores pequeños de W_1 . La causa de este comportamiento puede estar asociada al aumento de las pérdidas en el inductor de compuerta (para valores pequeños de W_1 el valor de L_g es mayor y su factor de calidad disminuye, como se observó en la Fig. 6a, lo que aumenta la resistencia parásita serie), que deben ser compensadas con un aumento de la transconductancia de la etapa de entrada. Esto implica, a su vez, un aumento de L_g y una disminución de C_X adicionales a los previstos en el análisis. Puede comprobarse también el aumento del valor de L_g para valores pequeños de W_1 , mientras que para $I_D = 0.3$ mA aparece el aumento de L_g con el incremento de W_1 .

En el caso de C_X se comprueba el comportamiento previsto respecto al ancho de los transistores, dependiente además de I_D , previsto en la Fig. 4. Cuando se aumenta W_1 ocurre un incremento inicial de C_X , hasta un valor máximo a partir del cual comienza a disminuir. Tanto el valor máximo de C_X como el valor de W_1 para el cual este ocurre, disminuyen mientras menor es la corriente de polarización.

En cuanto al largo del canal utilizado, con transistores de 240 nm los valores de C_X son menores que con transistores de 120 nm. Esto se debe a que la capacidad intrínseca entre compuerta y fuente (C_{gs}) de M_1 en el primer caso es mayor que en el segundo, por tanto, es necesario un menor valor de C_X para mantener constante la capacidad equivalente total (C_T) y no afectar la resistencia de entrada. Además, el valor de L_S presenta una mayor variación en los transistores de 240 nm con la disminución de la corriente.

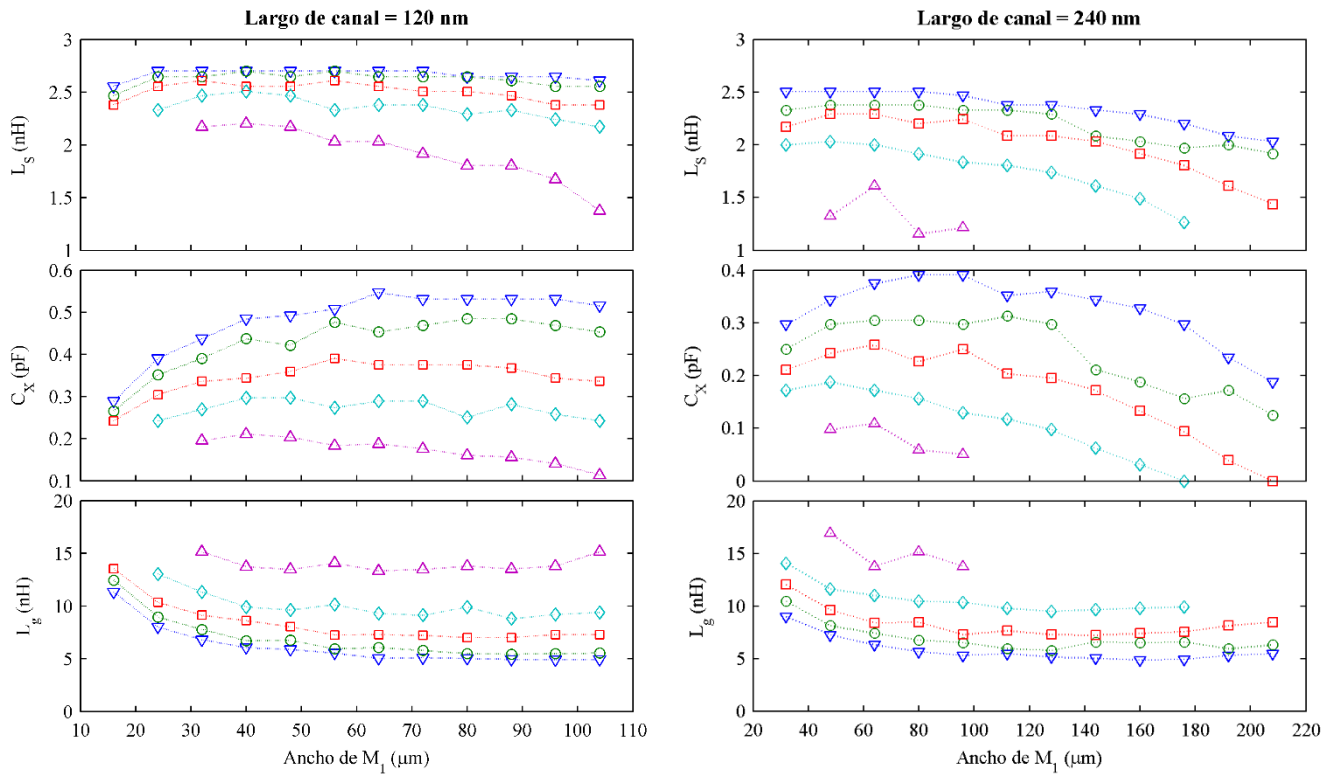


Fig. 7. Valores de los elementos pasivos, en función del ancho del transistor M_1 y la corriente de polarización (Δ : $I_D=0.3$ mA; \diamond : $I_D=0.4$ mA; \square : $I_D=0.5$ mA; \circ : $I_D=0.6$ mA; ∇ : $I_D=0.7$ mA). Ganancia de 10.5 ± 0.5 dB.

En el intervalo de dimensiones analizadas (16 a 104 μm para $L = 120$ nm y 32 a 208 μm para $L = 240$ nm) se demuestra cómo los límites tecnológicos restringen la síntesis del LNA. Para ambos tipos de transistores, con una corriente $I_D = 0.3$ mA se requieren valores de L_g cercanos al máximo disponible en la tecnología (18 nH), por lo que no es posible sintetizar amplificadores con menor consumo de potencia. Se aprecia además cómo el valor máximo de L_g limita el ancho mínimo de los transistores para los menores valores de corriente de polarización.

Por otra parte, con los transistores de 240 nm, se puede observar también el acercamiento al límite mínimo de L_S (1 nH) y C_X (0 pF, o sea, ausencia de este capacitor) con el aumento del ancho para los menores valores de corriente, reduciendo el número de amplificadores sintetizables.

Variación de la ganancia del LNA y del ancho de los transistores

Para comprobar la dependencia entre los elementos pasivos del LNA con la ganancia se fijó la corriente de polarización a 0.4 mA y se sintetizaron amplificadores con distintos valores de ganancia, aumentando a partir de 10.5 dB. En la Fig. 8 se muestran los valores de los elementos pasivos para cada LNA sintetizado, en función del ancho del transistor M_1 y la ganancia deseada. Todos los LNA sintetizados presentan acoplamientos S_{11} , $S_{22} < -15$ dB y ganancias con una diferencia modularmente menor que 0.3 dB respecto al valor nominal.

Con estos resultados se comprueban las dependencias establecidas mediante el análisis del circuito: el aumento de la ganancia requiere la disminución de L_S y de C_X , así como el aumento de L_g . Para ambos tipos de transistores la ganancia máxima queda determinada por el menor inductor realizable físicamente que puede ser utilizado como degeneración.

Con el aumento de la ganancia también disminuye el número de amplificadores que pueden ser sintetizados, debido a las limitaciones que impone el valor máximo de L_g sobre el ancho mínimo de los transistores, así como las impuestas por los valores mínimos de L_S y de C_X sobre el ancho máximo. Esta disminución es mayor si se incrementa el largo del canal de los transistores. El comportamiento de los elementos pasivos respecto a la variación del ancho de los transistores para cada valor de ganancia se corresponde con el análisis teórico y con los resultados obtenidos en el acápite anterior.

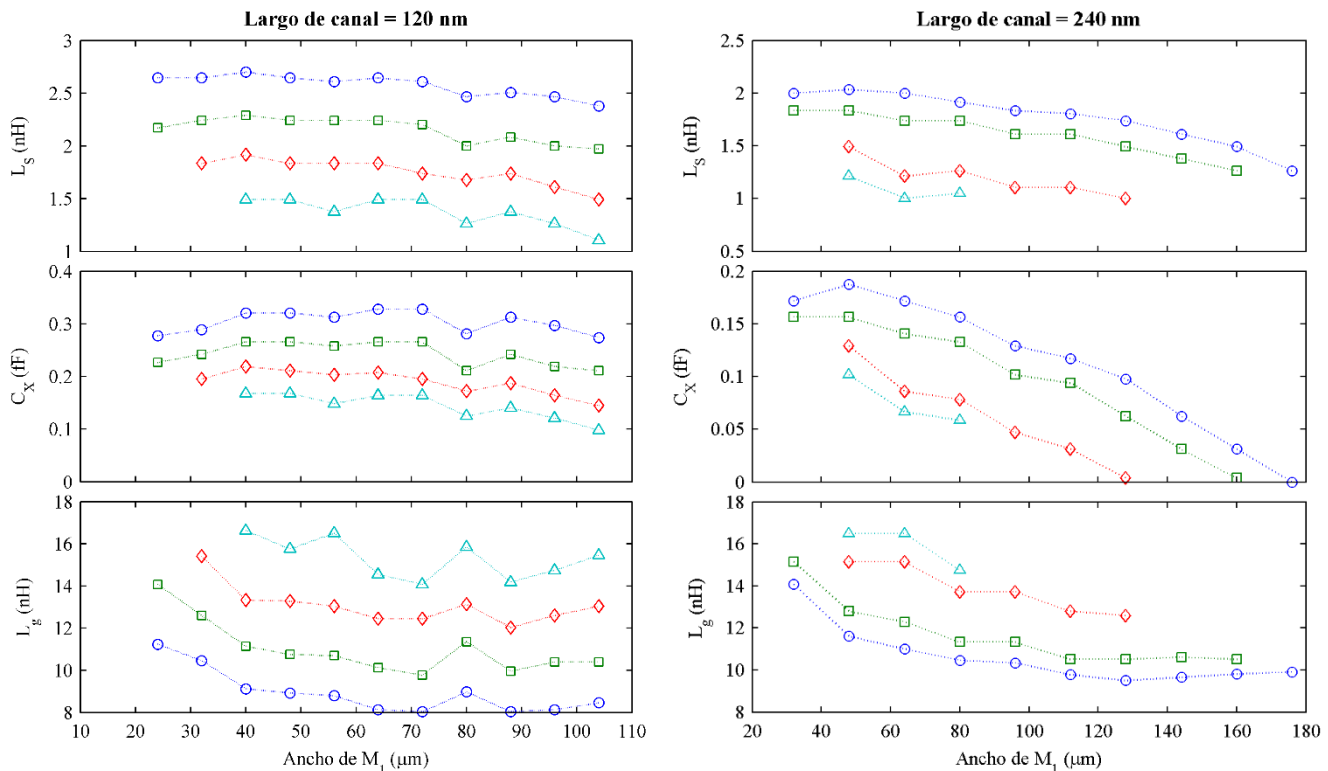


Fig. 8. Valores de los elementos pasivos, en función del ancho del transistor M_1 y la ganancia del LNA (\circ : $G=10.5$ dB; \square : $G=11$ dB; \diamond : $G=12$ dB; Δ : $G=13$ dB). Corriente de polarización de 0.4 mA.

EXPLORACIÓN DEL ESPACIO DE DISEÑO

La Fig. 9 muestra los resultados de las simulaciones a 2.45 GHz para la figura de ruido (NF) y el IP_3 referido a la entrada (IIP_3) de los LNA sintetizados con ganancia de 10.5 ± 0.5 dB, para completar la exploración del espacio de diseño. En la figura están señalados los requerimientos para el receptor ZigBee^{22, 23}.

Todos los LNA sintetizados garantizan la especificación de la figura de ruido ($NF < 3$ dB), pero la linealidad requerida ($IIP_3 > -4$ dBm) no se cumple para los valores más bajos de la corriente de polarización ($I_D = 0.3$ mA utilizando transistores de 120 nm e $I_D < 0.5$ mA con los de 240 nm).

Para $I_D = 0.3$ mA, con ninguno de los dos tipos de transistores puede asegurarse que se haya obtenido el pico del IIP_3 , ya que solo aparece la región decreciente de este parámetro respecto al aumento del ancho de los transistores. Esto ocurre porque no fueron sintetizados circuitos con transistores de menor ancho, debido a los límites impuestos por los elementos pasivos disponibles en la tecnología. En el caso de los LNA con transistores de 120 nm, en los picos del IIP_3 para $I_D \geq 0.4$ mA la linealidad obtenida supera notablemente el requerimiento establecido, por lo que pudiera esperarse un comportamiento similar para $I_D = 0.3$ mA si hubiera sido posible la síntesis de circuitos con $W_1 < 32$ μm . Por tanto, los límites tecnológicos de los elementos pasivos inciden tanto de forma directa como indirecta en el consumo mínimo con el que puede diseñarse este tipo de amplificador.

CONCLUSIONES

En este trabajo se presentó un análisis de las restricciones impuestas por los límites tecnológicos de los elementos pasivos en el diseño de un LNA CMOS, de configuración fuente común con degeneración inductiva.

A partir de un estudio realizado de esta topología mediante el análisis del circuito y simulaciones, se obtuvo que la ganancia máxima, el consumo de potencia mínimo y las dimensiones de los transistores que pueden ser utilizados en el diseño, están determinadas por los valores extremos de inductancia y capacidad disponibles en el proceso tecnológico. De manera general, la disminución del largo del canal de los transistores aumenta el número de amplificadores que pueden ser sintetizados con los elementos pasivos de una tecnología específica. Los resultados obtenidos corroboran, además, la necesidad de incluir toda la información tecnológica posible de los elementos pasivos dentro del flujo de diseño de circuitos integrados para aplicaciones de radiofrecuencia.

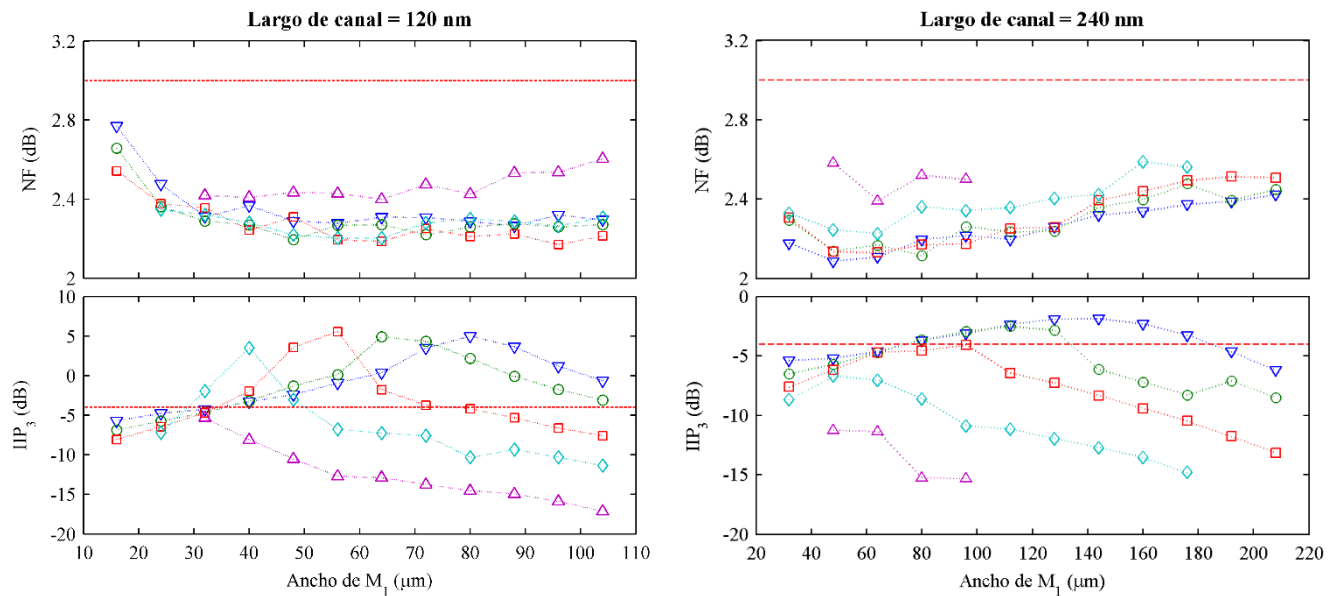


Fig. 9. Resultados de simulación a 2.45 GHz para NF (arriba) e IIP_3 (abajo), en función del ancho del transistor M_1 y la corriente de polarización (Δ : $I_D = 0.3$ mA; \diamond : $I_D = 0.4$ mA; \square : $I_D = 0.5$ mA; \circ : $I_D = 0.6$ mA; ∇ : $I_D = 0.7$ mA). Amplificadores sintetizados con ganancia de 10.5 ± 0.5 dB. Las líneas discontinuas horizontales señalan los requerimientos para ambas magnitudes.

AGRADECIMIENTOS

Este trabajo ha sido apoyado por CAPES-Brasil a través del Proyecto 176/12, CNPq, MAEC-AECID a través del proyecto FORTIN (Ref. D/024124/09), el programa FEDER de la Junta de Andalucía proyecto P09-TIC-5386, y el Ministerio de Economía y Competitividad proyecto TEC2011-28302 en España.

REFERENCIAS

1. **MILLMAN, J. y A. GRABEL:** *Microelectrónica*. 6 ed. Hispano Europea, S. A. Barcelona, España. 1993.
2. **BAKER, R.J.:** *CMOS. Circuit Design, Layout, and Simulation*. 3 ed. John Wiley & Sons. Hoboken, NJ. 2010.
3. **SAH, C.:** "Evolution of the MOS transistor-from conception to VLSI" en *Proceedings of the IEEE*, Vol 76. No. 10, p. 1280-1326, 1988.
4. **WOERLEE, P.H., et al.:** "RF-CMOS performance trends" en *Electron Devices, IEEE Transactions on*, Vol 48. No. 8, p. 1776-1782, 2001.
5. **VIDOJKOVIC, V., et al.:** *Adaptive Multi-Standard RF Front-Ends*. Springer. 2008.
6. **SCHNEIDER, M.C. y C. GALUP-MONTORO:** *CMOS Analog Design Using All-Region MOSFET Modeling*. Cambridge University Press. New York. 2010.
7. **LEE, T.H. y S.S. WONG:** "CMOS RF integrated circuits at 5 GHz and beyond" en *Proceedings of the IEEE*, Vol 88. No. 10, p. 1560-1571, 2000.
8. **RAZAVI, B.:** *RF microelectronics*. Prentice Hall. Upper Saddle River, NJ. 1998.
9. **LEE, T.H.:** *The design of CMOS Radio-Frequency Integrated Circuits*. 2 ed. Cambridge University Press. Cambridge. 2004.
10. **LEROUX, P. y M. STEYAERT:** *LNA-ESD Co-Design for Fully Integrated CMOS Wireless Receivers*. The Kluwer International Series in Engineering and Computer Science. Springer. Dordrecht. 2005.
11. **FARAHANI, S.:** *ZigBee Wireless Networks and Transceivers*. Elsevier. 2008.
12. **SHAEFFER, D.K. y T.H. LEE:** "A 1.5-V, 1.5-GHz CMOS low noise amplifier" en *Solid-State Circuits, IEEE Journal of*, Vol 32. No. 5, p. 745-759, 1997.
13. **ANDREANI, P. y H. SJOLAND:** "Noise optimization of an inductively degenerated CMOS low noise amplifier" en *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, Vol 48. No. 9, p. 835-841, 2001.
14. **BELOSTOTSKI, L. y J.W. HASLETT:** "Noise figure optimization of inductively degenerated CMOS LNAs with integrated gate inductors" en *Circuits and Systems I: Regular Papers, IEEE Transactions on*, Vol 53. No. 7, p. 1409-1422, 2006.
15. **APARIN, V., G. BROWN y L.E. LARSON:** "Linearization of CMOS LNA's via optimum gate biasing". en *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*. 2004.
16. **NIU, G., et al.:** "Intermodulation linearity characteristics of CMOS transistors in a 0.13 μm process". en *Radio Frequency Integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*. 2005.
17. **TOOLE, B., C. PLETY y M. CLOUTIER:** "RF circuit implications of moderate inversion enhanced linear region in MOSFETs" en *Circuits and Systems I: Regular Papers, IEEE Transactions on*, Vol 51. No. 2, p. 319-328, 2004.
18. **GONZÁLEZ RÍOS, J.L., et al.:** "Reliability, power consumption and transistor sizing in 2.4 GHz CMOS LNAs". en *Ninth International Caribbean Conference on Devices, Circuits and Systems*. Playa del Carmen, Mexico. 2014.
19. **KARANICOLAS, A.N.:** "A 2.7-V 900-MHz CMOS LNA and mixer" en *Solid-State Circuits, IEEE Journal of*, Vol 31. No. 12, p. 1939-1944, 1996.
20. **RAZAVI, B.:** *Design of Analog CMOS Integrated Circuits*. McGraw-Hill. New York. 2001.
21. **FIGLIETTI, R., F. SILVEIRA y E. PERALIAS:** "MOST Moderate-Weak-Inversion Region as the Optimum Design Zone for CMOS 2.4-GHz CS-LNAs" en *Microwave Theory and Techniques, IEEE Transactions on*, Vol 62. No. 3, p. 556-566, 2014.
22. **TRUNG-KIEN, N., et al.:** "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- μm CMOS Technology" en *Microwave Theory and Techniques, IEEE Transactions on*, Vol 54. No. 12, p. 4062-4071, 2006.
23. **FIGLIETTI, R., et al.:** "2.4-GHz single-ended input low-power low-voltage active front-end for ZigBee applications in 90 nm CMOS". en *Circuit Theory and Design (ECCTD), 2011 20th European Conference on*. 2011.
24. **YUE, C.P. y S.S. WONG:** "On-chip spiral inductors with patterned ground shields for Si-based RF ICs" en *Solid-State Circuits, IEEE Journal of*, Vol 33. No. 5, p. 743-752, 1998.

AUTORES

Jorge Luis González Ríos, Centro de Investigaciones en Microelectrónica (CIME-CUJAE), La Habana, Cuba, jorgeluis.gr@electronica.cujae.edu.cu. Graduado en el 2006 de Ingeniería en Telecomunicaciones y Electrónica en el Instituto Politécnico José Antonio Echeverría (CUJAE), Habana, Cuba. Obtuvo el título de Máster en Diseño de Sistemas Electrónicos del CIME en 2009. Su trabajo está enfocado al diseño de circuitos microelectrónicos analógicos y de radiofrecuencia. Trabaja además en el desarrollo de aplicaciones de Instrumentación Virtual e Instrumentación Virtual Remota.

Robson Luiz Moreno, Universidade Federal de Itajubá (UNIFEI), Itajubá, Brasil, moreno@unifei.edu.br. Graduado en Ingeniería Eléctrica, en 1988 en la Escuela Federal de Ingeniería de Itajubá (EFEI), actualmente Universidad Federal de Itajubá (UNIFEI). Recibió el título de Máster en Ingeniería Eléctrica en la Universidad Estatal de Campinas (1996) y el de Doctor en Ingeniería Eléctrica en la Escuela Politécnica de la Universidad de São Paulo (2002), ambos trabajos realizados en el área de microelectrónica. Actualmente es profesor asociado de la UNIFEI. Su experiencia incluye el área de Diseño de Circuitos Integrados Analógicos y Digitales, Ingeniería Inversa de Circuitos Integrados y el desarrollo de sistemas utilizando FPGA y VHDL, con énfasis en aplicaciones médicas y en circuitos CMOS implantables de baja potencia.

Diego Vázquez, Instituto de Microelectrónica de Sevilla (IMSE-CNM-CSIC), Sevilla, España, dgarcia@imse-cnm.csic.es. Obtuvo el título de Licenciado en Ciencias Físicas en la Universidad de Sevilla (España) en 1989 y el de Doctor en la misma universidad, en 1995, sobre el diseño y medida de circuitos integrados analógicos y de señal mixta. Desde 1990 trabaja en el Departamento de Electrónica y Electromagnetismo en la Universidad de Sevilla, donde actualmente es profesor, y en el Centro Nacional de Microelectrónica (actualmente IMSE-CNM-CSIC), donde realiza sus principales actividades de investigación. Sus intereses de investigación incluyen el diseño, medida y diseño enfocado a la medición (*design-for-test*) de circuitos y sistemas de RF, analógicos y de señal mixta. Tiene varias patentes y ha publicado un gran número de artículos en estos campos en revistas y congresos internacionales. Además, ha colaborado o participado como investigador principal en un gran número de proyectos nacionales e internacionales relacionados con sus temas de interés.