



Análisis de la metaestabilidad en sincronizadores de dos etapas sintetizados en FPGA Cyclone III y Cyclone V

Dilaila Criado Cruz, Leonardo César Vega Gómez, Sonnia Pavoni Oliver, Víctor E. Escartín Fernández

RESUMEN / ABSTRACT

La metaestabilidad es un fenómeno probabilístico que provoca fallos en sistemas digitales. Ocurre con mayor probabilidad cuando un circuito recibe una señal asincrónica o se intercambian señales entre sistemas sincrónicos con dominios de reloj no relacionados. Para reducir el riesgo de propagación de la metaestabilidad a través de un circuito, se recomienda el empleo de sincronizadores, cuya efectividad puede expresarse mediante el parámetro MTBF (*Mean Time Between Failure*). Además, el desarrollo tecnológico que ha permitido disminuir las dimensiones de los dispositivos CMOS hacia escalas nanométricas, propicia la aparición de efectos que impactan en la metaestabilidad. Es una necesidad que los diseñadores de circuitos electrónicos conozcan estos riesgos y tomen acciones para contrarrestarlos. El objetivo de este trabajo es analizar el comportamiento de la metaestabilidad en sincronizadores de dos etapas desarrollados sobre FPGA del fabricante Intel-Altera, de las familias Cyclone III (65 nm) y Cyclone V (28 nm). Se obtuvieron curvas que permiten determinar las condiciones críticas en el rango industrial de temperatura de trabajo en función del riesgo de metaestabilidad y de criterios de fiabilidad. El MTBF de los sincronizadores varió con la temperatura de operación y lo hizo de manera diferente para cada tecnología. En el Cyclone III se observó un cambio de comportamiento a $-40\text{ }^{\circ}\text{C}$, que se atribuyó a la ocurrencia de la inversión de la dependencia con la temperatura (ITD). En el dispositivo Cyclone V se observó el fenómeno ITD en todo el rango estudiado.

Palabras claves: metaestabilidad, FPGA, sincronizadores

Metastability is a probabilistic phenomenon that causes failures in digital systems. It most likely occurs when a circuit receives an asynchronous signal or signals are exchanged between synchronous circuits with unrelated clock domains. To reduce the risk of metastability spreading across a circuit, it is recommended to use synchronizers. The effectiveness of synchronizers can be expressed by means of the MTBF (Mean Time Between Failure) parameter. Furthermore, the technological development that has allowed the decrease of CMOS devices dimensions towards nanometer scale, favors the appearance of effects that impact metastability. It is necessary that electronic circuits designers know such risks and take actions to reduce them. This work aims to analyze the behavior of metastability in two-stage synchronizers developed on Intel-Altera FPGA, Cyclone III (65 nm) and Cyclone V (28 nm) families. Critical conditions in the industrial temperature operation range, based on the risk of metastability and reliability criteria, were determined. The MTBF of synchronizers varied with the operating temperature and did so differently for each technology. In Cyclone III, a change in behavior was observed at $-40\text{ }^{\circ}\text{C}$, probably due to inverted temperature dependence (ITD). For Cyclone V, ITD was observed over the whole industrial temperature range.

Keywords: metastability, FPGA, synchronizers

Metastability analysis of two stages synchronizer synthesized in FPGA Cyclone III and Cyclone V

Recibido: 29/7/2020 Aceptado: 23/11/2020

1. -INTRODUCCIÓN

La metaestabilidad es un fenómeno probabilístico que provoca fallos en sistemas digitales. Tiene mayor probabilidad de ocurrencia cuando un circuito recibe una señal asincrónica o se intercambian señales entre circuitos sincrónicos con dominios de reloj no relacionados. El riesgo también aumenta mientras mayor sea la frecuencia de reloj [1-4].

Para reducir la probabilidad de que la metaestabilidad se propague a través de un circuito y propiciar una transición más confiable de las señales entre los cruces de dominio de reloj, se recomienda el empleo de sincronizadores [5-8]. Según documentan Ginosar [5] y Golson [9], se utilizan soluciones de sincronización desde la década de 1940, la primera publicación sobre análisis matemático de la metaestabilidad y sincronizadores data de 1952, mientras que el primer trabajo experimental sobre este tema se reportó en 1973. En la literatura más reciente se presentan diversos circuitos de sincronización y protocolos de arbitraje, cuya selección depende de las características de los sistemas y de las frecuencias de los dominios de reloj involucrados. Entre los sincronizadores más utilizados se encuentra el de N flip-flops conectados en cascada, conocido también como de N etapas [7,9,10,11].

La efectividad de los sincronizadores puede expresarse mediante el parámetro MTBF (*Mean Time Between Failure*), que indica el tiempo medio entre fallas consecutivas y está relacionado con la fiabilidad del sistema [12]. El análisis del MTBF mediante métodos experimentales y de simulación ha sido centro de atención de grupos de investigación [13-18]. Sin embargo, muchos reportes presentan un profundo nivel teórico y resulta trabajoso extrapolar los resultados a situaciones cotidianas relacionadas con el diseño lógico.

El desarrollo alcanzado en las tecnologías de fabricación de circuitos integrados ha permitido la construcción de dispositivos digitales CMOS cuyos transistores tienen largos de canal entre 130 nm y 14 nm [19,20]. La disminución de las dimensiones hacia el orden de los nanómetros propicia la aparición de efectos que no eran apreciables a nivel de micrómetros y que influyen en el riesgo de metaestabilidad. Por ejemplo, las nuevas tensiones de alimentación son más cercanas a la tensión de umbral de los transistores [21-24] y en consecuencia se ha observado un cambio en el comportamiento de estos dispositivos ante variaciones de temperatura [25,26]. El análisis del impacto que tienen la tecnología de fabricación, el potencial de la fuente de alimentación y la temperatura de trabajo (PVT: *process, voltage and temperature*) en los tiempos de respuesta de los nuevos dispositivos y en el riesgo de metaestabilidad, es de especial interés para la comunidad científica [22,23,27,28,29,30].

La metaestabilidad no es un fenómeno teórico, es la causa real de los fallos de muchos circuitos digitales que funcionan correctamente a nivel de laboratorio. Es una necesidad que los diseñadores de sistemas electrónicos conozcan estos riesgos y desde la etapa de diseño, tomen las acciones para contrarrestarlos. Este trabajo tiene como objetivo analizar el comportamiento de la metaestabilidad en sincronizadores de dos etapas desarrollados sobre FPGA del fabricante Intel-Altera, específicamente de las familias Cyclone III y Cyclone V cuyas tecnologías son de 65 nm y 28 nm, respectivamente. Como método de investigación se utilizó la simulación basada en las herramientas de Quartus II y en modelos de los dispositivos para condiciones de operación extremas de PVT [31-33]. Las pruebas se realizaron en condiciones de temperaturas de trabajo correspondientes al rango industrial (-40 °C a 100 °C) y para diferentes frecuencias de reloj.

Como resultado se obtuvieron curvas que relacionan el MTBF de peor caso, la frecuencia de reloj del sincronizador y la temperatura. Se determinó que el MTBF de los sincronizadores varió con la temperatura de operación y lo hizo de manera diferente para los dispositivos de cada familia. Los resultados que se exponen constituyen un aporte de valor práctico al establecer las condiciones críticas de trabajo en función del riesgo de metaestabilidad y criterios de fiabilidad para los circuitos estudiados. Además, el artículo es una contribución a la divulgación de esta temática en nuestra comunidad científica.

2. -MARCO TEÓRICO

Los flip-flops constituyen la unidad básica de almacenamiento de los circuitos secuenciales sincrónicos. En un flip-flop tipo D, la señal del dato (D) tiene que estar estable por un tiempo mínimo antes (tiempo de *set-up* t_{su}) y después (tiempo de *hold* t_h) del frente de reloj para garantizar el correcto funcionamiento del circuito. La salida del flip-flop estará disponible después de un tiempo especificado por el fabricante (t_{co}), como se muestra en la figura 1. Si se violan las condiciones de tiempo, el flip-flop puede caer en un estado metaestable [1]. Para que esta situación no se propague al resto del sistema y provoque una falla de sincronización, la metaestabilidad tiene que resolverse en un tiempo t_{MET} [4].

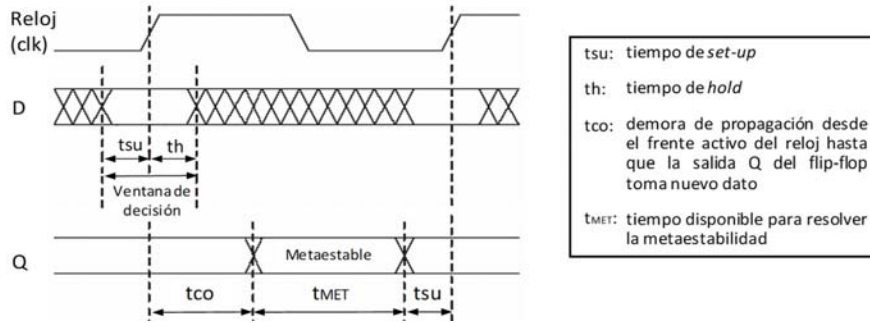


Figura 1

Comportamiento en el tiempo de un flip-flop tipo D.

En la figura 2 se muestra un sincronizador consistente en dos flip-flops conectados en cascada (dos etapas). Este circuito sincroniza la transferencia de datos (d) entre dos sistemas digitales con relojes no relacionados. Como se observa, el sincronizador y el sistema que recibe los datos operan con la misma señal de reloj (clk). Es un requisito para el correcto funcionamiento del sistema que el dato sea válido (se mantenga en nivel alto o en nivel bajo) durante al menos un período de reloj del sincronizador. Para lograr una mayor protección contra la metaestabilidad, se puede incrementar el número de flip-flops concatenados, pero aumentará también la latencia de la señal procesada [11]. Esta situación establece una solución de compromiso entre el comportamiento sin fallos del circuito en el tiempo y la latencia.

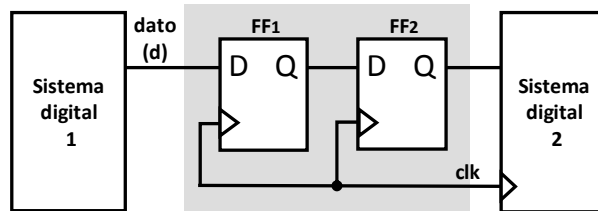


Figura 2

Sincronizador de dos etapas entre sistemas digitales con dominios de reloj no relacionados.

Si el primer flip-flop del sincronizador cae en metaestabilidad y el período de la señal de reloj es suficientemente grande, la salida inestable puede alcanzar un estado estable y no afectar al resto del circuito. Por lo tanto, considerar un tiempo adicional t_{MET} para que la señal se establezca en un estado estable, evita la propagación de un valor desconocido al resto del sistema. Para una frecuencia de reloj dada (f_{clk}), el tiempo disponible para resolver la metaestabilidad entre los dos flip-flops está determinado por:

$$t_{MET} = \frac{1}{f_{clk}} - t_{co} - t_{su} \tag{1}$$

La probabilidad de que el sincronizador de dos etapas de la figura 2 entre en el estado metaestable y permanezca en él un tiempo mayor que t_{MET} , se calcula según la expresión 2 [2]:

$$MTBF = \frac{e^{\frac{t_{MET}}{C2}}}{C1 * f_{clk} * f_d} \tag{2}$$

En esta expresión, f_d representa la frecuencia del dato de entrada al flip-flop. Una consideración importante para calcular el MTBF con la expresión 2, es que los datos sean asincrónicos o que se intercambien señales entre circuitos sincrónicos con dominios de reloj no relacionados [18]. Los parámetros C_1 y C_2 dependen del proceso tecnológico empleado en la fabricación del dispositivo, del valor de la fuente de alimentación y de la temperatura de operación. [2,34].

En los dispositivos digitales CMOS, el tiempo de resolución de la metaestabilidad depende de la velocidad de respuesta de sus transistores, lo que a su vez está influenciado por la tensión de alimentación y la temperatura de trabajo de los circuitos. Las expresiones 3 y 4 permiten analizar cómo estos dos últimos parámetros se relacionan con el tiempo de respuesta (t_d) y la corriente de drenaje (I_D) del transistor MOS. La capacidad total equivalente de la carga a la salida del transistor está representada por C_{out} y V_{DD} es la tensión de la fuente de alimentación. El potencial de umbral del transistor (V_{TH}) y la movilidad de los portadores minoritarios en el canal de transistor (μ) tienen una relación inversa con la temperatura, o sea, decrecen con el aumento de la temperatura y viceversa [26].

$$t_d \propto C_{out} * \frac{V_{DD}}{I_D} \quad (3)$$

$$I_D \propto \mu(T) * [V_{DD} - V_{TH}(T)]^2 \quad (4)$$

En los transistores con largos de canal del orden de los micrómetros, la diferencia entre V_{DD} y V_{TH} es menos sensible a la temperatura, en comparación con la que experimenta la movilidad de los portadores minoritarios [22]. Como consecuencia, en esos transistores, la variación efectiva de la corriente I_D con la temperatura queda dominada por la dependencia de la movilidad con la temperatura ($\mu(T)$) [24]. Este comportamiento se refleja en el tiempo de respuesta del transistor, que tiende a ser más lento con el aumento de la temperatura.

En los dispositivos nanométricos, las tensiones de alimentación son del orden de 1 V y por lo tanto, más cercanos a la tensión de umbral (V_{TH}) [21]. Consecuentemente, la diferencia $V_{DD} - V_{TH}$, se hace sensible a la influencia de la temperatura y puede dominar con respecto a la dependencia térmica de la movilidad de los portadores minoritarios en el canal del transistor. Es decir, cuando la temperatura fluctúa, los comportamientos de la corriente de drenaje y del tiempo de respuesta del transistor dependen del término que domine: si domina la dependencia de la movilidad, con el aumento de la temperatura, debe aumentar el tiempo de respuesta del transistor. Por el contrario, si domina la diferencia $V_{DD} - V_{TH}$, el incremento de la temperatura provocará la disminución de t_d . Este cambio del comportamiento que se pone de manifiesto en los nuevos dispositivos, conocido como inversión de la dependencia con la temperatura (ITD por sus siglas en inglés), afecta los parámetros de metaestabilidad.

Un sistema digital puede tener n sincronizadores. El valor efectivo del MTBF para este caso se determina mediante la expresión 5, donde el MTBF de cada sincronizador está representado por $MTBF_n$ [13,23]. De esta expresión se puede concluir que cuanto mayor sea la cantidad de sincronizadores en el circuito, mayor tiene que ser el valor del MTBF de cada sincronizador para lograr un MTBF efectivo requerido.

$$MTBF = \frac{1}{1/MTBF_1 + 1/MTBF_2 + \dots + 1/MTBF_n} \quad (5)$$

Mientras mayor sea el MTBF resultante del sistema, este será más fiable. La fiabilidad $R(t)$ es la probabilidad de que un sistema o componente funcione satisfactoriamente, sin fallos, durante un período de tiempo (t). Si los fallos ocurren aleatoriamente, la fiabilidad puede ser descrita por la distribución exponencial de la expresión 6 [12]:

$$R(t) = e^{-\left(\frac{t}{MTBF}\right)} \quad (6)$$

2. -MATERIALES Y MÉTODOS

El trabajo experimental consistió en determinar mediante simulación, los valores del MTBF de peor caso del sincronizador de dos etapas (figura 2) implementado en dispositivos FPGA de las familias Cyclone III (65 nm) y Cyclone V (28 nm) del

fabricante Intel-Altera. El circuito sincronizador se describió en VHDL y para su síntesis se utilizó el programa Quartus II versión 13.0 sp1 (64-bits) de Intel-Altera.

Se utilizaron las herramientas de simulación de Intel-Altera, que disponen de modelos de los FPGA bajo estudio y que calculan la respuesta en el tiempo de los circuitos bajo diferentes condiciones extremas de PVT [33]. Los FPGA evaluados pueden operar en el rango industrial de temperatura de trabajo (-40 °C a 100 °C). Para las pruebas se seleccionaron los modelos *slow* -40°C, *slow* 0°C, *slow* 85°C y *slow* 100°C que para cada dispositivo tienen en cuenta los parámetros que producen la respuesta más lenta (*slow*) y consecuentemente, el peor MTBF. Estos modelos combinan las condiciones más limitadas del proceso de fabricación en el silicio (menor movilidad de los portadores minoritarios, mayor V_{TH} , etc.), el valor mínimo permitido de la tensión de alimentación (1200 mV para la familia Cyclone III y 1100 mV para la familia Cyclone V) y la temperatura de la unión dentro del rango de trabajo de los dispositivos.

El análisis estático [35] de la respuesta en el tiempo en las peores condiciones de PVT, se realizó con la herramienta *TimeQuest Analyzer* del programa Quartus II [31]. Para obtener el reporte del MTBF, se simuló el sincronizador para cada modelo de cada dispositivo y para cada uno de los valores de frecuencia de la señal de reloj. Fue necesario también identificar el primer flip-flop del sincronizador y establecer la frecuencia de los datos (f_d) a través del editor de asignaciones. Además, se aseguró que la opción de optimización de la metaestabilidad estuviera habilitada [32] con el objetivo de aprovechar toda la potencialidad de la herramienta.

En cada uno de los experimentos, la frecuencia de datos (f_d) se fijó en 100 MHz, mientras que las frecuencias de reloj (f_{clk}) se escogieron de modo que permitieran obtener valores cuantificables de MTBF de peor caso en los dispositivos de cada familia.

3. -DISCUSIÓN DE LOS RESULTADOS

En un primer estudio se analizó el comportamiento de los valores de peor caso del MTBF del sincronizador de dos etapas con frecuencia de reloj de 250 MHz, implementado en varios FPGA de una misma familia. Los dispositivos seleccionados tienen el mismo nivel de velocidad (*speed grade* 7) [33] y para la simulación se emplearon sus correspondientes modelos para condiciones extremas de PVT a 0 °C (modelo *slow* 0° C). Los resultados obtenidos con los seis dispositivos evaluados de la familia Cyclone III se muestran en la figura 3. Los valores de MTBF estuvieron entre 203 000 y 208 000 años, mientras que la mayor variación con respecto al promedio fue de 1.5 %.

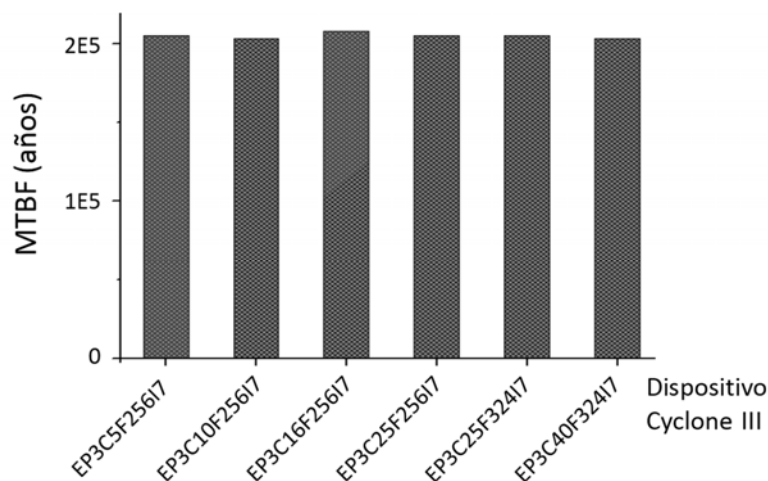


Figura 3

Peor caso de MTBF de sincronizador de dos etapas implementado en dispositivos de la familia Cyclone III

($f_d=100$ MHz, $f_{clk} = 250$ MHz, modelo *slow* 0°C).

Los resultados obtenidos con dispositivos de la familia Cyclone V se presentan en la figura 4. En este caso los valores de MTBF estuvieron entre 8.09 y 9.06 años. La mayor variación con respecto al valor medio fue de 6.4 %. Dado que el MTBF es un índice estadístico que representa el tiempo promedio entre fallos, estos porcentos de variación no tienen efectos prácticos significativos. A partir de estos resultados se decidió que cualquiera de los dispositivos evaluados podía utilizarse en los futuros estudios de este trabajo.

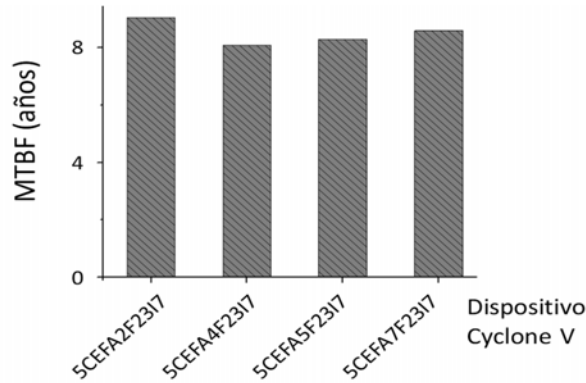


Figura 4

Peor caso de MTBF de sincronizador de dos etapas implementado en dispositivos de la familia Cyclone V
 (fd=100 MHz, fclk = 250 MHz, modelo slow 0°C).

Para evaluar la relación entre la metaestabilidad, la frecuencia de la señal de reloj del sincronizador y la temperatura, se realizaron simulaciones con los dispositivos EP3C25F324I7 (Cyclone III - 65 nm) y 5CEFA2F23I7 (Cyclone V – 28 nm). En las figuras 5 y 6 se presentan gráficamente los resultados de MTBF de peor caso obtenidos en estos experimentos. El eje vertical tiene escala logarítmica. En todos los casos el MTBF decreció con el aumento de la frecuencia de reloj del sincronizador, lo que está en correspondencia con la expresión 2. También se aprecia que existe una dependencia entre el MTBF y la temperatura, aunque este comportamiento fue diferente para cada dispositivo.

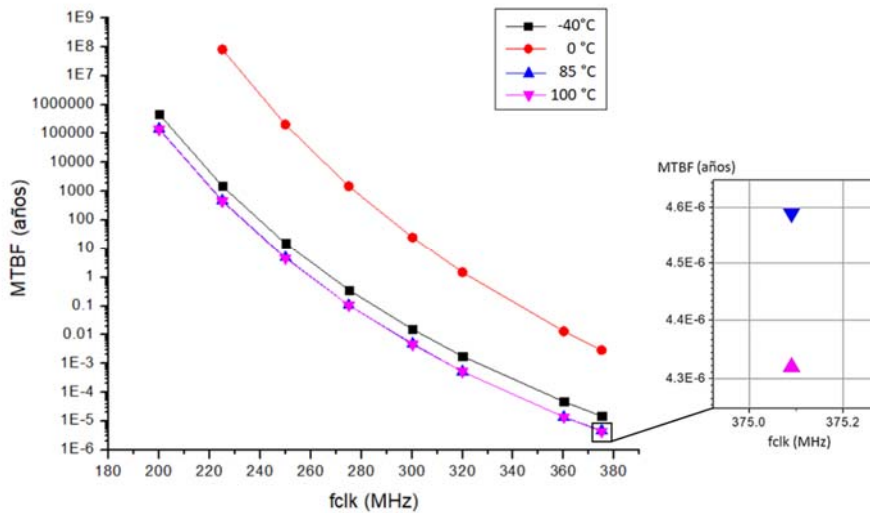


Figura 5

MTBF vs. fclk para el dispositivo EP3C25F324I7.

Al comparar las curvas del EP3C25F324I7 correspondientes a cada modelo de temperatura (figura 5) se puede ver que, para una frecuencia dada, los menores valores de MTBF se obtuvieron a 100 °C. A medida que disminuye la temperatura hasta 0 °C, va aumentando el MTBF, o sea, disminuye el riesgo de que el circuito sufra metaestabilidad. Sin embargo, la curva correspondiente a la temperatura de -40 °C muestra valores de MTBF menores que la de 0 °C. Este comportamiento pudiera estar relacionado con la influencia que tiene la temperatura en el tiempo de respuesta de los transistores del dispositivo, ya que, a mayor velocidad de respuesta menos probabilidad tiene un circuito de fallar por metaestabilidad. El incremento del MTBF al disminuir la temperatura de 100 °C a 0 °C, sugiere un incremento de la velocidad de respuesta del dispositivo, probablemente debido al predominio de la dependencia con la temperatura de la movilidad de los portadores minoritarios del canal de los transistores. La disminución del MTBF observada a -40 °C, pudiera ser una manifestación del fenómeno conocido como inversión de la dependencia con la temperatura.

Para el sincronizador sintetizado en el FPGA 5CEFA2F23I7 de la familia Cyclone V (figura 6), el mayor valor de MTBF se obtuvo a 100 °C y al contrario de lo que sucedió en el dispositivo de la familia Cyclone III, según baja la temperatura el MTBF disminuye, o sea, aumenta la probabilidad de ocurrencia de metaestabilidad. Estos resultados reflejan que, con la disminución de la temperatura, se acortó el tiempo de respuesta del dispositivo, lo que indica que este último parámetro estuvo controlado por la dependencia térmica del potencial de umbral de los transistores. Puede concluirse que en el dispositivo con transistores con largo de canal de 28 nm se ha manifestado el comportamiento de inversión de la dependencia con la temperatura.

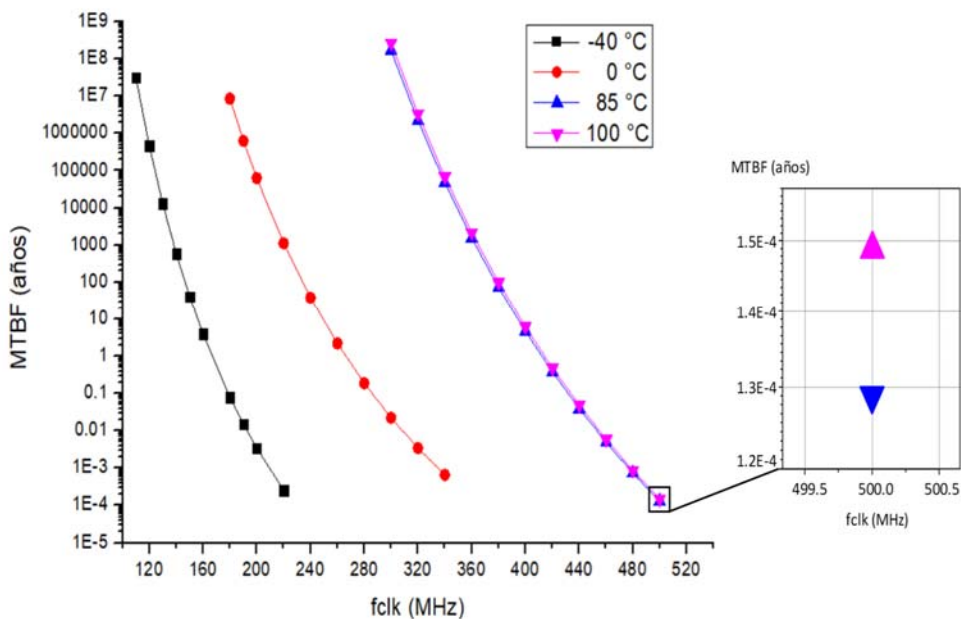


Figura 6
MTBF vs. fclk para el dispositivo 5CEFA2F23I7.

Conocer el MTBF es imprescindible para determinar la fiabilidad de un circuito electrónico durante un tiempo de operación de interés. Si la metaestabilidad fuera la única causa de fallo, los resultados mostrados en las figuras 5 y 6 permiten, a partir de un criterio de fiabilidad, determinar la máxima frecuencia de reloj permisible del sincronizador de dos etapas según la temperatura de trabajo. Igualmente, se puede determinar la fiabilidad a partir de la frecuencia de reloj y de la temperatura de operación.

Por ejemplo, si para el sincronizador de dos etapas que se evalúa en este trabajo se considera un 90% de probabilidad de funcionar correctamente durante un tiempo de operación de 10 años, el MTBF debe ser como mínimo igual a 100 años. Bajo

esas condiciones, para el circuito sintetizado en el FPGA de la familia Cyclone III, la máxima frecuencia de reloj permisible en todo el rango industrial de temperatura es cercana a 225 MHz. Este valor queda determinado por la peor condición (100 °C). Al realizar un análisis similar con el FPGA de Cyclone V, puede observarse que la peor condición ocurre a -40 °C. Ese caso determina que, para operar en todo el rango industrial de temperatura, la frecuencia máxima de reloj queda limitada a 150 MHz. A esa frecuencia no se garantiza que el dato esté válido durante un periodo del reloj. Esta situación conllevaría al diseñador a replantearse la selección de otra familia de dispositivos si se precisa operar en todo el rango industrial de temperatura de trabajo. Sin embargo, es interesante que para las temperaturas de 85 °C y 100 °C sí se logra con este FPGA la fiabilidad del 90 % en 10 años a frecuencias de reloj de hasta 380 MHz, superiores a las alcanzadas con el Cyclone III.

Estos resultados se corroboran al analizar las curvas que se presentan en las figuras 7 y 8, donde en el eje vertical se ha representado la fiabilidad del circuito en 10 años. En estas gráficas puede apreciarse que, para cada condición de temperatura, se logra una fiabilidad superior al 90 % para las menores frecuencias de reloj. En estos casos es donde se cumplen las condiciones de tiempo (tsu, th) de los flip-flops del circuito con mayor probabilidad y consecuentemente es menor el riesgo de metaestabilidad. Cuando el valor de la frecuencia de reloj supera un valor límite, la fiabilidad desciende bruscamente alcanzando valores inferiores al 20 %, puesto que el riesgo de fallos ha aumentado. Este comportamiento debe tenerse en cuenta como criterio de diseño, de modo que la frecuencia de reloj establecida en las especificaciones del circuito cumpla con el MTBF requerido. Si el diseño analizado tiene dos sincronizadores idénticos, según la expresión 5, el MTBF de cada sincronizador para el caso analizado anteriormente debe ser de 200 años.

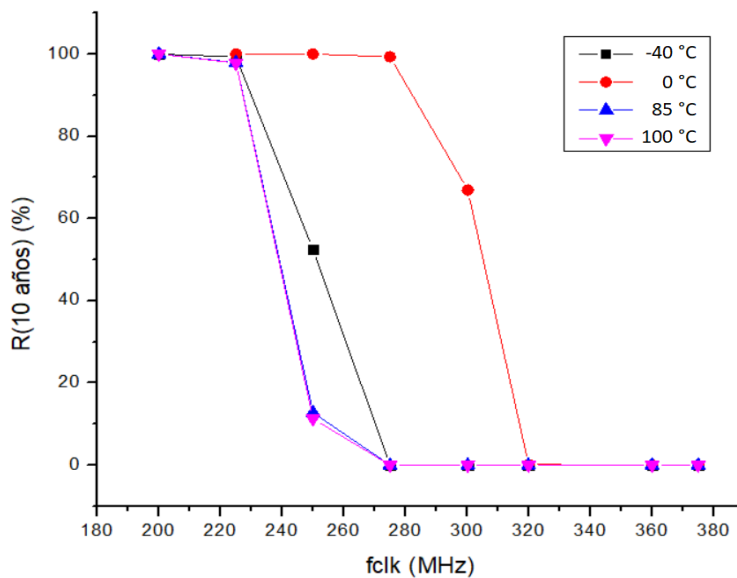


Figura 7
Fiabilidad para 10 años vs fclk para el dispositivo EP3C25F324I7.

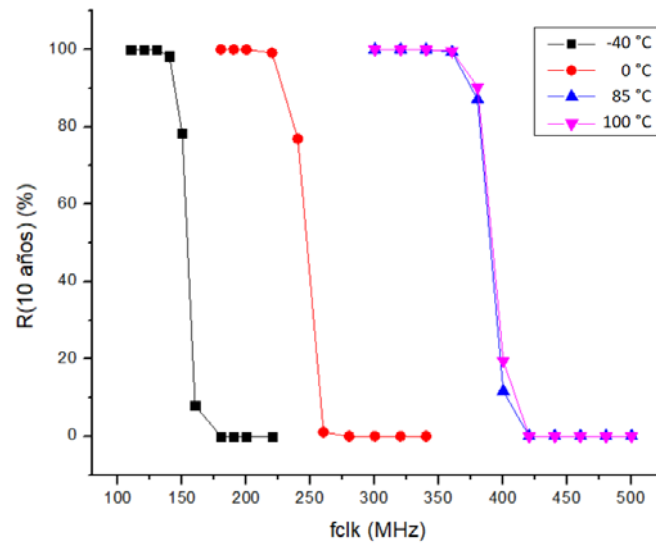


Figura 8

Fiabilidad para 10 años vs fclk para el dispositivo 5CEFA2F2317.

4. -CONCLUSIONES

En este trabajo se presentó el estudio del comportamiento de la metaestabilidad en sincronizadores de dos etapas desarrollados sobre FPGA de las familias Cyclone III (65 nm) y Cyclone V (28 nm) del fabricante Intel-Altera, a partir de pruebas de simulación basadas en las herramientas de Quartus II y en modelos de los dispositivos para condiciones de operación extremas de PVT. Se obtuvieron curvas que relacionan el MTBF de peor caso, la frecuencia de reloj del sincronizador y la temperatura. Se determinó que el MTBF varió con la temperatura de operación en el rango industrial de trabajo (-40 °C a 100 °C) y lo hizo de manera diferente para los dispositivos de cada familia, poniéndose de manifiesto también el impacto de la tecnología en el riesgo de metaestabilidad. En el Cyclone III aumentó el MTBF al disminuir la temperatura de 100 °C a 0 °C y luego disminuyó para -40 °C, este cambio de comportamiento para la menor temperatura se atribuyó a la ocurrencia del fenómeno ITD. En el dispositivo Cyclone V disminuyó el MTBF al bajar la temperatura, poniéndose de manifiesto el fenómeno ITD en todo el rango estudiado. Los resultados presentados constituyen un aporte de valor práctico al permitir, para los circuitos estudiados, establecer las condiciones críticas de trabajo en función del riesgo de metaestabilidad y de criterios de fiabilidad.

REFERENCIAS

1. Warkely, J.F., *Digital Design: Principles and Practices*. 2006: Pearson Education, Estados Unidos.
2. Stephenson, J., et al., *Understanding Metastability in FPGAs*. 2009, Altera Corporation.
3. Altera Corporation, *Metastability in Altera Devices*. 1999.
4. Pong, P.C., *RTL hardware design using VHDL Coding for Efficiency, Portability, and Scalability*. 2006, New Jersey: John Wiley & Sons, Inc.
5. Ginosar, R., *Metastability and Synchronizers: A Tutorial*. IEEE Design & Test of Computers, 2011. **28**(5): p. 23-35.
6. Beer, S. and R. Ginosar, *Eleven Ways to Boost Your Synchronizer*. IEEE Trans. Very Large Scale Integr. Syst., 2015. **23**(6): p. 1040-1049.
7. Stein, M., *Crossing the abyss: asynchronous signals in a synchronous world*. EDN, 2003. **48**(16): p. 59 – 69.
8. Beer, S., et al. *The Devolution of Synchronizers*. in *IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*. 2010.
9. Golson, S., *Synchronization and Metastability*, in *SNUG Silicon Valley*. 2014.

10. Erusalagandi, S., *How to reset an FPGA*. 2011 10 de enero de 2019; Available from: https://www.eetimes.com/document.asp?doc_id=1278998.
11. Beer, S., et al., *Variability in Multistage Synchronizers*. IEEE Trans. Very Large Scale Integr. Syst., 2015. **23**(12): p. 2957-2969.
12. Torell, W. and V. Avelar, *Mean Time Between Failure: Explanation and Standards*, in *Advanced Power Convension*. 2004.
13. Chong, A.B., *Product Level MTBF Calculation*, in *Fifth International Conference on Intelligent Systems, Modelling and Simulation*. 2014, IEEE Computer Society. p. 749 – 754.
14. Rogina, B.M., et al., *Metastability Testing at FPGA Circuit Design using Propagation Time Characterization*. R&I 2011(N4): p. 4-8.
15. Mircea C., M. Timis, and A. Valachi, *Study of Metastability in Digital Systems*. 2015.
16. Cantoni, A., J. Walker, and T.-D. Tomlin, *Characterization of a Flip-Flop Metastability Measurement Method*, in *IEEE Transactions on circuits and systemms*. 2007. p. 1032-1040.
17. Polzer, T., F. Huemer, and A. Steininger, *Refined metastability characterization using a time-to-digital converter*. Microelectronics Reliability, 2018. **80**: p. 91-99.
18. Beer, S., et al. *MTBF Estimation in Coherent Clock Domains*. in *IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*. 2013.
19. Corporation, A., *FPGA Coprocessing Evolution: Sustained Performance Approaches Peak Performance*. 2009.
20. Altera Corporation, *Altera Product Catalog*. 2018.
21. Taur, Y., *CMOS design near the limit of scaling* IBM J. RES. & DEV. , 2002. **46**(2/3): p. 213-222.
22. Kumar, R. and V. Kursun, *Reversed Temperature-Dependent Propagation Delay Characteristics in Nanometer CMOS Circuits*. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006. **53**(10): p. 1078-1082.
23. Doris, C., et al. *A Comprehensive Approach to Modeling, Characterizing and Optimizing for Metastability in FPGAs*. in *FPGA*. 2010. Monterey, California, USA.
24. Alessandro, S., et al., *Investigating the Effects of Inverted Temperature Dependence (ITD) on Clock Distribution Networks*. 2012.
25. Sean, H.W., T. Alexander, and L.-C. Wang, *How does Inverted Temperature Dependence Affect Timing-Sigloff*, in *Lecture Notes in Electrical Engineering*. 2010. p. 1-11.
26. Benoit, L., et al., *Temperature Dependence in Low Power CMOS UDSM Process*. 2004, PATMOS: Power And Timing Modeling, Optimization and Simulation. p. pp.111-118.
27. Beer, S., et al. *Metastability challenges for 65nm and beyond; simulation and measurements*. in *Design, Automation & Test in Europe Conference & Exhibition (DATE)*,. 2013.
28. Beer, S. and R. Ginosar, *A Model for Supply Voltage and Temperature Variation Effects on Synchronizer Performance*. IEEE Trans. Very Large Scale Integr. Syst., 2015. **23**(11): p. 2461-2472.
29. Beer, S. and R. Ginosar, *Supply voltage and temperature variations in synchronization circuits*, in *Technion Haifa Israel*. 2013.
30. Dunham, S.K., *Data Synchronizer Performance in the Presence of Parameter Variability*. 2014, Southern Illinois University Edwardsville.
31. Altera Corporation, *The Quartus II TimeQuest Timing Analyzer*, in *Quartus II Handbook Version 9.0*. 2009. p. 7.1-7.92.
32. Altera Corporation, *Managing Metastability with the Quartus II Software*, in *Quartus II Handbook Version 11.1*,. 2015. p. 12.1 – 12.14.
33. Mac, M. and C. Wysocki, *Guaranteeing Silicon Performance with FPGA Timing Models*. 2010, Intel® Corporation.
34. Beer, S., et al. *An on-chip metastability measurement circuit to characterize synchronization behavior in 65nm*. in *ISCAS*. 2011.
35. Cortadella, J. and S.S. Sapatnekar, *Static Timing Analysis*, in *Electronic Design Automation for Integrated Circuits Handbook*, L. Lavagno, et al., Editors. 2016. p. 133-154.

CONFLICTO DE INTERESES

No existe conflicto de intereses entre los autores, ni con ninguna institución a la que cada uno está afiliado, ni con ninguna otra institución.

CONTRIBUCIONES DE LOS AUTORES

Dilaila Criado Cruz: Contribuyó al planteamiento del objetivo; búsqueda, análisis e interpretación de la bibliografía; selección de casos de estudio; desarrollo de la metodología de trabajo y ejecución del trabajo experimental. Participó en la interpretación de los resultados, redacción y revisión crítica de borradores y de la versión final documento.

Leonardo César Vega Gómez: Contribuyó a la búsqueda, análisis e interpretación de la bibliografía, desarrollo de la metodología de trabajo y ejecución del trabajo experimental. Participó en la interpretación de los resultados, redacción y revisión crítica de borradores y de la versión final documento.

Sonia Pavoni Oliver: Contribuyó al planteamiento del objetivo, análisis e interpretación de la bibliografía. Participó en la selección de casos de estudio, interpretación de los resultados experimentales, redacción y revisión crítica de borradores y de la versión final documento.

Víctor E. Escartín Fernández: Contribuyó a la formulación del problema de la investigación y planteamiento del objetivo; análisis e interpretación de la bibliografía; selección de casos de estudio; desarrollo de la metodología de trabajo y ejecución del trabajo experimental; interpretación de los resultados; redacción y revisión crítica de borradores y de la versión final documento.

AUTORES

Dilaila Criado Cruz, Ingeniera en Física Nuclear (1992), Máster en Electrónica (1997), Departamento de Investigaciones en Microelectrónica (CIME), Universidad Tecnológica de la Habana, La Habana, Cuba. dilaila.criado@cime.cujae.edu.cu. No. ORCID: 0000-0003-1718-3598.

Leonardo César Vega Gómez, Ingeniero en Automática (2019), Departamento de Investigaciones en Microelectrónica (CIME), Universidad Tecnológica de la Habana, La Habana, Cuba, lcesarv@cime.cujae.edu.cu. No. ORCID: 0000-0001-5782-1828.

Sonia Pavoni Oliver, Ingeniera en Telecomunicaciones y Electrónica (1997), Máster en Electrónica (2001), Doctor en Ciencias Técnicas (2007), Departamento de Investigaciones en Microelectrónica (CIME), Universidad Tecnológica de la Habana, La Habana, Cuba, sonnia.pavoni@cime.cujae.edu.cu. No. ORCID: 0000-0001-9348-6051.

Víctor E. Escartín Fernández, Ingeniero en Telecomunicaciones (1970), Doctor en Ciencias Técnicas (1995), Departamento de Investigaciones en Microelectrónica (CIME), Universidad Tecnológica de la Habana, La Habana, Cuba, victor.escartin@cime.cujae.edu.cu. No. ORCID: 0000-0002-7592-4166.



Esta revista se publica bajo una [Licencia Creative Commons Atribución-No Comercial-Sin Derivar 4.0 Internacional](https://creativecommons.org/licenses/by-nc-nd/4.0/)